

## PATENT ABSTRACTS OF JAPAN

(6)

(11)Publication number : 07-231103

(43)Date of publication of application : 29.08.1995

(51)Int.Cl.

H01L 29/84  
G01P 15/125

(21)Application number : 06-320622

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 22.12.1994

(72)Inventor : KANO KAZUHIKO  
TAKEUCHI YUKIHIRO

(30)Priority

Priority number : 05326596 Priority date : 24.12.1993 Priority country : JP

## (54) SEMICONDUCTOR DYNAMIC-QUANTITY SENSOR APPARATUS AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide the semiconductor dynamic-quantity sensor apparatus having a structure which can decrease the residual stress at a beam-shaped part without heat treatment for a long time at high temperature and the manufacturing method for forming the apparatus at low heat-treating temperature matching an IC process.

CONSTITUTION: When polysilicon is formed on the main surface of a P-type silicon substrate 17, the P-type silicon substrate 17 is held at 575° C or lower (the specified temperature where tensile stress is generated in the polysilicon). Thereafter, a beam-shaped movable electrode 24 is formed by partially etching out the formed polysilicon. Thereafter, heat treatment is performed for the P-type silicon substrate 17 at 950° C (the temperature where the tensile stress generated in the polysilicon in film formation is alleviated until the temperature becomes substantially zero, and the temperature where the diffusion of impurities introduced into the P-type polysilicon substrate 17 is substantially suppressed). In this way, the semiconductor acceleration sensor having the beam-shaped part and the movable part comprising the polysilicon having the less residual stress, whose crystal-particle diameter is 100 nm or less, is obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

BEST AVAILABLE COPY

【物件名】

甲第 6 号証

甲第 6 号証

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7-231103

(43) 公開日 平成 7 年 (1995) 8 月 29 日

(51) Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 29/84

B 8932-4 M

G 0 1 P 15/125

【添付書類】

13  225

審査請求 未請求 請求項の数 9

OL

(全 13 頁)

(21) 出願番号 特願平 6-320622

(22) 出願日 平成 6 年 (1994) 12 月 22 日

(31) 優先権主張番号 特願平 5-326596

(32) 優先日 平 5 (1993) 12 月 24 日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町 1 丁目 1 番地

(72) 発明者 加納 一彦

愛知県刈谷市昭和町 1 丁目 1 番地 日本電装

株式会社内

(72) 発明者 竹内 幸裕

愛知県刈谷市昭和町 1 丁目 1 番地 日本電装

株式会社内

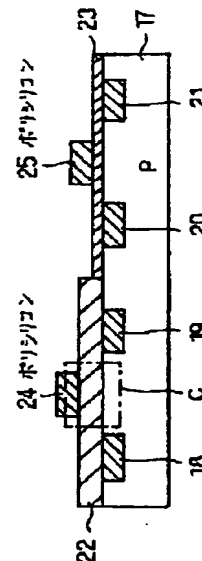
(74) 代理人 弁理士 碓氷 裕彦

(54) 【発明の名称】 半導体力学量センサ装置及びその製造方法

(57) 【要約】 (修正有)

【目的】 高温で長時間の熱処理をすることなく梁状部の残留応力を低減できる構造の半導体力学量センサ装置及びそれを IC プロセスと整合性のとれる低い熱処理温度で形成する製造方法を提供する。

【構成】 P 型シリコン基板 17 の主表面上にポリシリコンを形成する際に、575℃以下（ポリシリコンに引っ張り応力を生じさせる所定の温度）で P 型シリコン基板 17 を保持する。しかる後、形成したポリシリコンを部分的にエッチング除去することにより梁形状の可動電極 24 を形成する。さらにしかる後、950℃（成膜時にポリシリコンに生じた引っ張り応力を実質的に零となるまで緩和する温度であり、且つ、P 型シリコン基板 17 に導入した不純物の拡散を実質的に抑止する温度）をもって P 型シリコン基板 17 に対して熱処理を行う。これにより、結晶粒径が 100 nm 以下で残留応力の少ないポリシリコンから成る梁状部及び可動部を有する半導体加速度センサを得る。



(2)

特開平 7-231103

1

## 【特許請求の範囲】

【請求項 1】 基板主表面上に多結晶シリコンを形成する第 1 の工程と、

この多結晶シリコンを部分的にエッチング除去し梁形状の可動部を形成する第 2 の工程とを備え、外力の作用に伴う前記可動部の変位に基づいてこの外力を検出するようにした半導体力学量センサ装置であって、

この半導体力学量センサ装置は、外力を検出し信号を出力する外力検出部とこの外力検出信号を処理する MOS FET からなる制御回路とを少なくとも同一の基板表面上に形成して製造されるものであって、

前記第 1 の工程の際に、多結晶シリコンに引っ張り応力を生じさせる所定の温度で前記基板を保ちつつ前記多結晶シリコンを形成し、前記第 2 の工程の後に、さらに前記多結晶シリコンに生じた引っ張り応力を実質的に零となるまで緩和すると共に前記 MOS FET として前記基板に導入した不純物の拡散を実質的に抑止する温度でもって前記基板に対して熱処理を行う第 3 の工程を行うことを特徴とする半導体力学量センサ装置の製造方法。

【請求項 2】 前記第 1 の工程における基板の設定温度を 575℃以下とすることを特徴とする請求項 1 に記載の半導体力学量センサ装置の製造方法。

【請求項 3】 前記第 1 の工程における基板の設定温度を 570℃とし、且つ前記第 3 の工程における基板に対する熱処理温度を 950℃とすることを特徴とする請求項 1 に記載の半導体力学量センサ装置の製造方法。

【請求項 4】 前記外力検出部と前記制御回路とを構成する各種部材のうち、少なくとも前記基板主表面に対して重量位置関係が共通であると共に同一の材料で構成される部材は、前記基板主表面上において選択的に同一の工程にて形成される請求項 1 に記載の半導体力学量センサ装置の製造方法。

【請求項 5】 基板主表面上に絶縁膜を形成する第 1 の工程と、

この絶縁膜上の多結晶シリコンを形成する第 2 の工程と、

この多結晶シリコンを部分的にエッチング除去して梁状部を形成する第 3 の工程と、

この梁状部の下の前記絶縁膜を犠牲層としてエッチングすることにより梁構造体を形成する第 4 の工程とを備え、前記梁構造体は外力の作用に伴い自在に変位する可動部を有し、この可動部の変位に基づいてこの外力を検出するようにした半導体力学量センサ装置の製造方法であって、

この半導体力学量センサ装置は、前記梁構造体とこの梁構造体からの外力検出信号を処理する MOS FET からなる制御回路とを少なくとも同一の基板主表面上に形成して製造されたものであって、

前記第 2 の工程の際に、多結晶シリコンに引っ張り応力を生じさせる所定の温度で前記基板を保ちつつ前記多結

2

晶シリコンを形成し、その後の第 4 の工程までに前記多結晶シリコンに生じた引っ張り応力を実質的に零となるまで緩和すると共に前記 MOS FET として前記基板に導入した不純物の拡散を実質的に抑止する温度でもって前記基板に対して熱処理を行う第 5 の工程を行うことを特徴とする半導体力学量センサ装置の製造方法。

【請求項 6】 前記第 2 の工程における基板の設定温度を 575℃以下とすることを特徴とする請求項 5 に記載の半導体力学量センサ装置の製造方法。

【請求項 7】 前記第 2 の工程における基板の設定温度を 570℃とし、且つ前記第 5 の工程における基板に対する熱処理温度を 950℃とすることを特徴とする請求項 5 に記載の半導体力学量センサ装置の製造方法。

【請求項 8】 前記梁構造体と前記制御回路とを構成する各種部材のうち、前記基板主表面に対して重量位置関係が共通であると共に同一の材料で構成される部材は、前記基板主表面上において少なくとも同一の工程にて形成される請求項 5 に記載の半導体力学量センサ装置の製造方法。

【請求項 9】 基板に形成され外力の作用に伴って変位する可動部を備える梁構造体を有し、この可動部の変位を電気的出力に変換することで外力を検出する半導体力学量センサ装置であって、

前記可動部および梁構造体は多結晶シリコンからなり、その結晶粒径が 100nm 以下であることを特徴とする半導体力学量センサ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は変位自在な可動部を有する半導体力学量センサ装置に係わり、特に自動車などの移動体の車体制御、エンジン制御、エアバック制御等に好適な半導体力学量センサ装置及びその製造方法に関するものである。

【0002】

【従来の技術】 従来、薄膜梁構造を有し、外力（加速度センサ等）を検出する力学量センサ装置として、圧電効果を利用した圧電式、差動トランスを利用した磁気式、あるいは半導体式でシリコンの微細加工技術を利用した半導体歪ゲージ式や静電容量式、MISFET 型等のものが広く知られている。この中で低加速度レベル、低周波数レベルを精度良く検出でき、安価で大量生産に適している方式として半導体式は最も有望視されている。そして、半導体式においては、小型化の要求のもとにその可動部の薄膜化は必然とされている。

【0003】 このような薄膜梁構造を有する半導体力学量センサ装置の従来例として、SAE910496 に示されたものがある。図 20 はその半導体力学量センサ装置を示す図である。これは、シリコン基板上に表面マイクロマシニング技術を用いて多結晶シリコンで可動電極を形成し、加速度に伴う可動電極—固定電極間の静電容

(3)

特開平 7-231103

3

量変化で加速度を検出するようにしたものである。

【0004】

【発明が解決しようとする課題】しかしながら、図20に示したような両持ち梁状部を持つ構造は、製造時において残留応力（特に圧縮応力）により、構造体が本来設計した形状から変形してしまうという問題がある。多結晶シリコンの残留応力は、高温で長時間の熱処理（アニール）によりある程度まで低減することはできるが、ICプロセスと整合性が取れなくなるといえる問題がある。すなわち、小型化等のために同一基板上に上記半導体力学量センサ装置とMOSFET等から成る他の制御回路（半導体力学量センサ装置の検出回路等）を形成しようとした場合、あまり高温で熱処理するとMOSFETとして基板に導入した不純物が熱によって拡散してしまい、特性が変わってしまうという問題があった。また時間的にも無駄が多くなって生産性の低下にもなってしまい、実用的ではなかった。

【0005】そこで本発明の目的は、高温で長時間の熱処理をすることなく梁状部の残留応力を低減できる構造の半導体力学量センサ装置及びそれをICプロセスと整合性のとれる低い熱処理温度で形成する製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために成された請求項1記載の発明である半導体力学量センサ装置は、基板主表面上に多結晶シリコンを形成する第1の工程と、この多結晶シリコンを部分的にエッチング除去し梁形状の可動部を形成する第2の工程とを備え、外力の作用に伴う前記可動部の変位に基づいてこの外力を検出するようにした半導体力学量センサ装置であって、この半導体力学量センサ装置は、外力を検出し信号を出力する外力検出部とこの外力検出信号を処理するMOSFETからなる制御回路とを少なくとも同一の基板表面上に形成して製造されるものであって、前記第1の工程の際に、多結晶シリコンに引っ張り応力を生じさせる所定の温度で前記基板を保ちつつ前記多結晶シリコンを形成し、前記第2の工程の後に、さらに前記多結晶シリコンに生じた引っ張り応力を実質的に零となるまで緩和すると共に前記MOSFETとして前記基板に導入した不純物の拡散を実質的に抑止する温度でもって前記基板に対して熱処理を行う第3の工程を行うことを特徴としている。

【0007】また、請求項2に記載の発明によれば、請求項1において、前記第1の工程における基板の設定温度を575℃以下とし、請求項3によれば、請求項1において、前記第1の工程における基板の設定温度を570℃とし、且つ前記第3の工程における基板に対する熱処理温度を950℃とし、請求項4によれば、請求項1において、前記外力検出部と前記制御回路とを構成する各種部材のうち、少なくとも前記基板主表面に対して重

4

畳位置関係が共通であると共に同一の材料で構成される部材は、前記基板主表面上において選択的に同一の工程にて形成される。

【0008】また上記目的を達成するために成された請求項5記載の発明である半導体力学量センサ装置の製造方法は、基板主表面上に絶縁膜を形成する第1の工程と、この絶縁膜上の多結晶シリコンを形成する第2の工程と、この多結晶シリコンを部分的にエッチング除去して梁状部を形成する第3の工程と、この梁状部の下の前記絶縁膜を犠牲層としてエッチングすることにより梁構造体を形成する第4の工程とを備え、前記梁構造体は外力の作用に伴い自在に変位する可動部を有し、この可動部の変位に基づいてこの外力を検出するようにした半導体力学量センサ装置の製造方法であって、この半導体力学量センサ装置は、前記梁構造体とこの梁構造体からの外力検出信号を処理するMOSFETからなる制御回路とを少なくとも同一の基板主表面上に形成して製造されたものであって、前記第2の工程の際に、多結晶シリコンに引っ張り応力を生じさせる所定の温度で前記基板を保ちつつ前記多結晶シリコンを形成し、その後の第4の工程までに前記多結晶シリコンに生じた引っ張り応力を実質的に零となるまで緩和すると共に前記MOSFETとして前記基板に導入した不純物の拡散を実質的に抑止する温度でもって前記基板に対して熱処理を行う第5の工程を行うことを特徴としている。

【0009】また、請求項6に記載の発明によれば、請求項5において、前記第2の工程における基板の設定温度を575℃以下とし、請求項7によれば、請求項5において、前記第2の工程における基板の設定温度を570℃とし、且つ前記第5の工程における基板に対する熱処理温度を950℃とすることを特徴とし、請求項8によれば、請求項5において、前記梁構造体と前記制御回路とを構成する各種部材のうち、前記基板主表面に対して重畳位置関係が共通であると共に同一の材料で構成される部材は、前記基板主表面上において少なくとも同一の工程にて形成される。

【0010】また、請求項9によれば、本発明において製造される半導体力学量センサ装置の可動部および梁構造体は多結晶シリコンからなり、その結晶粒径が100nm以下であることを特徴としている。なお、本発明において、可動部に作用する外力とは、実施例に示される加速度の他に、各種圧力、静電気力、電磁気力など可動部が変位可能なあらゆる力を示す。

【0011】

【作用及び発明の効果】上記のように成された請求項1記載の発明によれば、基板主表面上に多結晶シリコンが形成される（第1の工程）際に、多結晶シリコンに引っ張り応力を生じさせる所定の温度で基板が保たれつつ多結晶シリコンが形成され、そして、この多結晶シリコンが部分的にエッチング除去されて梁形状の可動部が形成

(4)

特開平7-231103

5

された(第2の工程)後に、多結晶シリコンに生じた引っ張り応力が実質的に零となるまで緩和されると共に、MOSFETとして基板に導入した不純物の拡散が実質的に抑止される温度でもって基板に対して熱処理が行なわれる(第3の工程)。これにより、高温で長時間の熱処理をすることなく梁状部の残留応力を低減できる構造の半導体力学量センサ装置が得られ、ICプロセスと整合性のとれる低い熱処理温度で半導体力学量センサ装置が製造可能となる。

【0012】なお、このときの第1の工程における基板の設定温度を575℃以下としたり、また、第1の工程における基板の設定温度を570℃としてポリシリコンを成膜し、且つ第3の工程における基板に対する熱処理温度をICプロセスと整合のとれる950℃とすることが好適である。上記のような製造方法により、多結晶シリコンからなる可動部および梁構造体は、その結晶粒径が100nm以下とすることができ、梁状部の残留応力を実質零にすることができる。

【0013】

【実施例】以下、この発明を具体化した一実施例を図面に従って説明する。図1は半導体プロセスによって製造され、例えば加速度の作用に伴って変位する両持ち梁状部を有する半導体力学量センサ装置の平面図を示す図である。又、図2は図1のA-A断面を示し、図3は図1のB-B断面を示す。

【0014】P型シリコン基板1上には絶縁膜2が形成され、絶縁膜2は $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 等よりなる。又、P型シリコン基板1上には、絶縁膜2の無い長方形の領域、即ち、空隙部3が形成されている(図1参照)。絶縁膜2の上には、空隙部3を架設するように両持ち梁構造の可動電極4(可動部)が配置されている。この可動電極4は帯状にて直線的に延び、結晶粒径が約50nmのポリシリコン(多結晶シリコン)よりなる。又、絶縁膜2によりP型シリコン基板1と可動電極4とが絶縁されている。

【0015】尚、可動電極4の下部における空隙部3は、絶縁膜2の一部が犠牲層としてエッチングされることにより形成されるものである。この犠牲層エッチングの際には、エッチング液として、可動電極4がエッチングされず、犠牲層である絶縁膜2がエッチングされるエッチング液が使用される。又、絶縁膜2上には層間絶縁膜5が配置され、その上にはコンタクトホール7を介して可動電極4と電気的接続するためのアルミ配線6が配置されている。

【0016】図3において、P型シリコン基板1上における可動電極4の両側には不純物拡散層からなる固定電極8、9が形成され、この固定電極8、9はP型シリコン基板1にイオン注入等によりN型不純物を導入することによって形成されたものである。又、図1に示すように、P型シリコン基板1には不純物拡散層からなる配線

6

10、11が形成され、配線10、11はP型シリコン基板1にイオン注入等によりN型不純物を導入することによって形成されたものである。そして、固定電極8と配線10、固定電極9と配線11とはそれぞれ電気的に接続されている。

【0017】さらに、配線10はコンタクトホール12を介してアルミ配線13と電気的に接続されている。

又、配線11はコンタクトホール14を介してアルミ配線15と電気的に接続されている。そして、アルミ配線13、15及び6は外部の電子回路と接続されている。又、図3に示すように、P型シリコン基板1における固定電極8、9間には、反転層16が形成され、同反転層16は可動電極(両持ち梁)4に電圧を印加することにより生じたものである。

【0018】次に、このように構成した半導体力学量センサ装置の製造工程を図4～図13を用いて説明する。ここで、図面の左側にセンサ、右側には処理回路に必要なトランジスタの工程(ICプロセス)を示す。図4に示すように、P型シリコン基板17を用意し、フォトリソ工程を経て、イオン注入等によりセンサやトランジスタのソース・ドレインの配線部分となるN型拡散層18、19、20、21を形成する。

【0019】そして、図5に示すように、その一部が犠牲層となる絶縁膜22をセンサ作製部に形成する。尚、このとき、基板全体に絶縁膜22を成膜した後からトランジスタ作製部上の絶縁膜を除去してもよい。さらに、図6に示すように、ゲート酸化によりトランジスタ作製部分上にゲート酸化膜23を形成する。

【0020】次に、P型シリコン基板17を570℃一定に保ち、ポリシリコンをLPCVD等により成膜する。この時、 $\text{SiH}_4$ は80sccmであり、デポ圧は167mtorrであった。その後図7に示すように、フォトリソ工程を経てドライエッチ等でセンサの可動電極24及びトランジスタのゲート電極25をパターンニングする。

【0021】そしてこの後、P型シリコン基板17に対して950℃の温度で3時間、不活性ガス雰囲気中においてアニールする。図15はアニール温度に対する残留応力の関係を示す図である。図のように基板温度570℃でポリシリコンを成膜すれば、950℃という低い熱処理温度でポリシリコン内の残留応力をほぼ0付近まで低減することができるが、基板温度580℃( $\text{SiH}_4$ :80sccm, デポ圧:184mtorr)ではICプロセスに影響しない熱処理温度(950℃)では残留応力をさほど低減できず、また例えば高温熱処理でもその残留応力を0付近まで近づけることはできないことが分かる。なお製作条件でデポ圧に若干の違いがあるが、この工程においてデポ圧の差は殆ど問題とならない。

【0022】図16は570℃でポリシリコンを成膜し

50

(5)

特開平7-231103

7

た後の図7中の領域Cを観察したTEM写真であり、図17はそれを950℃×3時間のアニールを施した後のTEM写真である。また図18は580℃でポリシリコンを成膜した後のTEM写真であり、図19はそれを1150℃×3時間のアニールを施した後のTEM写真である。このように基板温度を570℃としてポリシリコンを成膜すれば、950℃という低い熱処理温度でその結晶粒径を50nm以下にすることができ、ポリシリコン内の残留応力をほぼ0(零)付近まで低減することができるが、基板温度を580℃で成膜したポリシリコン膜は、1150℃という高い温度の熱処理においても残留応力をほぼ0付近に低減することはできない。これは基板温度を570℃としてポリシリコンを成膜して結晶粒径を100nm以下(本実施例では約50nm)とすることで、ポリシリコンの単位体積における結晶粒界(結晶と結晶の間の隙間)の体積が多くなり、熱処理によるポリシリコンの伸縮を緩和し易くなるためであると思われる。

【0023】なお、前述のように梁状部に用いられるポリシリコンの残留応力は、0付近にすることが望ましいが、強いて言えば圧縮応力が残るよりも引っ張り応力が残るほうが好ましい。これは、圧縮応力の場合は構造体の長さが長くなると座屈変形が起こるのに対し、引っ張り応力の場合は構造体が座屈して変形することがないからである。従って、熱処理の施しも圧縮応力が残ってしまう580℃よりも950℃以下の熱処理温度で引っ張り応力となる570℃の方が好ましい。

【0024】図14にはポリシリコンの成膜温度を種々変更した場合に、いかなる応力が成膜時に発生するかを示す。図によると成膜温度が570℃および575℃において発生する応力は引っ張り応力であり、580℃、590℃、600℃、および610℃において発生する応力は圧縮応力であることが分かる。また、560℃における応力は引っ張り応力であり、おおよそ200MPa~300MPaの間にあることが分かっている。図では560℃における応力を推定し、その推定値を破線により示す。また、成膜温度が575℃と580℃の間で生ずる応力は0(零)になる点を境界にして不安定なものとなっており、この範囲においては成膜時に圧縮応力が発生する可能性があることになる。

【0025】よって図14より明白なように、確実に成膜時の応力を引っ張り応力とするには、成膜温度を575℃以下とすることが必要である。このような温度に設定して成膜時に引っ張り応力を生じさせ、後工程の熱処理においてこの引っ張り応力を実質的に零となるまで緩和させるようにすれば、その間に構造体が座屈して変形することがない。

【0026】なお、図14および図15は、同じ装置を用いた結果を示している。引き続き、図8に示すように、N型拡散層からなるセンサの固定電極を形成するた

8

めに、フォトリソ工程を経て絶縁膜22に可動電極24に対して自己整合的に開口部26、27を形成する。

又、トランジスタのソース・ドレインを形成するために、フォトリソ工程を経てレジスト28により開口部29、30を形成する。

【0027】さらに、絶縁膜22及びレジスト28の開口部26、27、レジスト28の開口部29、30から可動電極24、ゲート電極25に対して自己整合的にイオン注入等によって不純物を導入して、図9に示すように、N型拡散層からなるセンサの固定電極31、32、トランジスタのソース・ドレイン領域33、34を形成する。

【0028】次に、図10に示すように、可動電極24、ゲート電極25とアルミ配線を電気的に絶縁するための層間絶縁膜35を成膜する。そして、図11に示すように、層間絶縁膜35に配線用拡散層18、19、20、21とアルミ配線を電気的に接続するためのコンタクトホール36、37、38、39をフォトリソ工程を経て形成する。

【0029】さらに、図12に示すように、電極材料であるアルミニウムを成膜して、フォトリソ工程を経てアルミ配線40、41、42、43等を形成する。そして、図13に示すように、層間絶縁膜35の一部と絶縁膜22の一部である犠牲層をエッチングする。このようにして、トランジスタ型半導体の力学量センサ装置の製作工程が終了する。

【0030】なお、本実施例において基板温度570℃でポリシリコンを形成することにより、950℃という低い熱処理温度でポリシリコン内の残留応力をほぼ0付近まで低減できるが、これにより予めP型シリコン基板に導入されたN型の不純物拡散層18、19、20、21等が熱によって他の領域に拡散してしまうということがなくなった。従って本実施例のように同一基板上に半導体力学量センサ装置(左側)とその処理回路(右側)を形成することができる。また、本実施例ではアニール時間を3時間としたが、これよりも短時間の熱処理でもポリシリコンの結晶粒径を100nm以下、すなわち残留応力の低減を達成することができる。なお本実施例ではアニールをエッチングによる梁状部形成の次工程で行ったが、ポリシリコンの成膜工程から図12の電極形成工程までの間であれば、どこで行っても良い。

【0031】以上のように形成したポリシリコン梁状部を有する半導体力学量センサ装置の作動を、図3を用いて説明する。可動電極4とシリコン基板1との間及び固定電極8、9間に電圧をかけると、反転層16が形成され、固定電極8、9間に電流が流れる。本半導体力学量センサ装置が加速度を受けて、図中に示すZ方向(基板に垂直方向)に可動電極4が変位した場合には電界強度の変化によって反転層16のキャリア濃度が増大し電流が増大する。このように本半導体力学量センサ装置は電

9

流量の増減で加速度を検出することができる。

【0032】このように本実施例では、P型シリコン基板17（半導体基板）の主表面に絶縁膜22（犠牲層）を形成し、その後P型シリコン基板17を570℃一定に保ちながら絶縁膜22（犠牲層）上にポリシリコン（多結晶シリコン）を成膜した。そして、このポリシリコンを部分的にエッチング除去し、梁形状の可動電極24を形成し、不活性ガス雰囲気中で950℃3時間のアニールを行った。そして、可動電極24に対し自己整合的にP型シリコン基板17（半導体基板）に不純物を拡散して可動電極24の両側において固定電極31、32を形成し、可動電極24の下に絶縁膜22（犠牲層）をエッチング除去した。

【0033】その結果、図1～3に示すように、P型シリコン基板1（半導体基板）と、P型シリコン基板1（半導体基板）の上方に所定の間隔を隔てて配置された、結晶粒径が約50nmのポリシリコンから成る梁構造の可動電極4と、P型シリコン基板1（半導体基板）における可動電極4の両側に可動電極4に対し自己整合的に形成された不純物拡散層よりなる固定電極8、9とを備え、加速度の作用に伴う可動電極4の変位によって生じる固定電極8、9間の電流の変化（増減）で加速度を検出するようにした。

【0034】このように、梁状部を形成するために、予め犠牲層を成膜した後ポリシリコンを成膜し、梁形状を形成した後犠牲層をエッチングで除去した。ここで、一般的に犠牲層とは可動部を形成するために、最終的に除去消失させることを目的として予め形成する薄膜層のことをいう。よって、固定電極と可動電極の間の空隙のばらつきを低減させることが可能となる。一般的にトランジスタの反転層キャリア濃度は、空隙の大きさに反比例するため、同様に電流も空隙の大きさに反比例する。本実施例は空隙の大きさを犠牲層の膜厚で制御するものであり、その方法による膜厚制御性が良好なため、固定電極間の電流の値の制御性を著しく向上させることができる。ここで、ポリシリコンの成膜基板温度を570℃とすることで引っ張り応力側に残留応力値を保持できる。

【0035】さらに、可動電極を形成するビームに対して垂直方向に相対するシリコン基板に一方の固定電極を設け、その固定電極間に電流を生じさせ可動電極の変位によりその電流を変化させるトランジスタ構造とした。よって、固定電極間の電流変化から可動電極の変位を検出し加速度を測定することができる。トランジスタでは通常ゲート（ここでは可動電極に相当する）電圧を変化させることによりドレイン電流を変化させているが、ゲートと基板間のギャップを変化することでも反転層のキャリア濃度が変わるためドレイン電流が変化する。従って、本実施例では、加速度を受けた可動電極の変化を固定電極間の電流量で検出することができる。電流検出が

(6)

特開平7-231103

10

可能になったことにより、容量検出方式で必要であった大きな電極面積が不要となり、センサの小型化が著しく向上する。

【0036】さらに、上記の二つの固定電極が可動電極となる梁の形状を形成した後自己整合的に形成する拡散層で構成するようにした。このような方法は可動電極となる梁の形状を形成し、シリコン基板上で固定電極となる部分の上の犠牲層を開けした後、固定電極となる部分にイオン注入法で不純物を導入することで容易に達成できる。よって、可動電極を常に固定電極間の中央部に形成することが容易に可能となり、製作プロセスでの位置合わせ精度を向上させることができる。

【0037】又、これらは全てIC作製プロセスそのものの及び流用であるが、本実施例では950℃という低い熱処理温度で残留応力ほぼ0とできるため、IC作製プロセスの中で同時にセンサ構造体の形成ができ、回路との一体化が著しく容易に可能になるとともに低コスト化が実現できる。よって、小型化等のために同一基板上に加速度検出部とMOSFET等からなる他の制御回路（加速度検出部の検出回路等）を形成しようとした場合、MOSFETとして基板に導入した不純物が熱によって拡散するのを抑止することも同時にできることになる。これは、小型化の要求が強い昨今の半導体技術において極めて有効である。

【0038】つまり、同一基板面積で回路規模を大きくしようとすれば沢山の回路が必要となるが、その分MOSFETのゲート長等を小さくすることになる。この場合、例えばゲート長が1μm以下のものも必然的に形成される。この程度のMOSFETにおいて基板に導入した不純物は、従来実施していたような高温での処理における拡散が避けられず、この場合の本願発明の適用は極めて有効であるといえる。

【0039】なお、本実施例においては梁状部が2本からなる両持ち梁構造の半導体力学量センサ装置を用いて説明したが、本発明においてはこれに限られた訳ではなく、図20の4本の梁状部でも構わないし、静電容量型半導体力学量センサ装置でも構わない。すなわち本発明はポリシリコンから成る梁状部または可動部（電極部を含む）を有する半導体力学量センサ装置であれば、他の構成はどのようなものでも良い。

【0040】また、本発明において、可動部に作用する外力とは、上記実施例に示される加速度の他に、各種圧力、静電気力、電磁気力など可動部が変位可能なあらゆる力を示す。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体力学量センサ装置を示す平面図である。

【図2】図1に示した半導体力学量センサ装置のA-A断面図である。

【図3】図1に示した半導体力学量センサ装置のB-B

(7)

特開平7-231103

11

12

断面図である。

【図4】図1に示した半導体力学量センサ装置の製造工程を示す断面図である。

【図5】図1に示した半導体力学量センサ装置の製造工程を示す断面図である。

【図6】図1に示した半導体力学量センサ装置の製造工程を示す断面図である。

【図7】図1に示した半導体力学量センサ装置の製造工程を示す断面図である。

【図8】図1に示した半導体力学量センサ装置の製造工程を示す断面図である。

【図9】図1に示した半導体力学量センサ装置の製造工程を示す断面図である。

【図10】図1に示した半導体力学量センサ装置の製造工程を示す断面図である。

【図11】図1に示した半導体力学量センサ装置の製造工程を示す断面図である。

【図12】図1に示した半導体力学量センサ装置の製造工程を示す断面図である。

【図13】図1に示した半導体力学量センサ装置の製造工程を示す断面図である。

【図14】ポリシリコンの成膜温度に対する成膜時の発生応力を示す図である。

【図15】アニール温度に対する残存応力の変化を示す

図である。

【図16】図1に示した半導体力学量センサ装置の領域C断面のTEM写真である。

【図17】図1に示した半導体力学量センサ装置の領域C断面のTEM写真である。

【図18】図1に示した半導体力学量センサ装置の領域C断面のTEM写真である。

【図19】図1に示した半導体力学量センサ装置の領域C断面のTEM写真である。

【図20】従来の静電容量型半導体力学量センサ装置を示す斜視図である。

【符号の説明】

1 P型シリコン基板 (基板)

4 可動電極 (梁状部, 可動部, 検出手段, 多結晶シリコン)

8 固定電極 (検出手段)

9 固定電極 (検出手段)

17 P型シリコン基板 (基板)

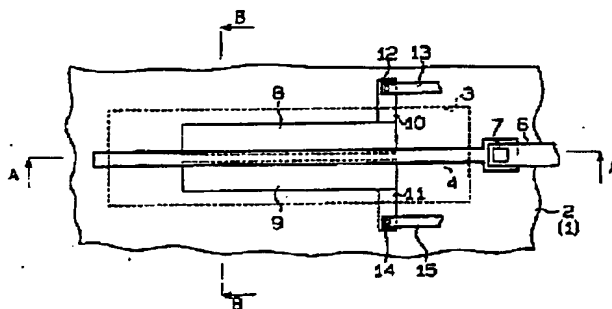
22 絶縁膜 (犠牲層)

24 可動電極 (梁状部, 可動部, 検出手段, 多結晶シリコン)

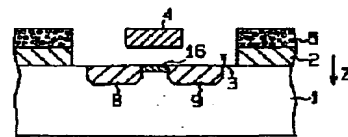
31 固定電極 (検出手段)

32 固定電極 (検出手段)

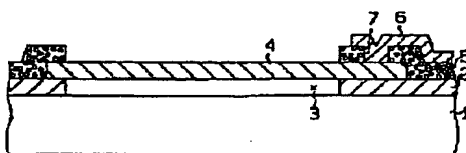
【図1】



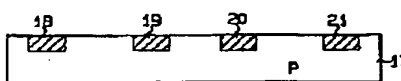
【図3】



【図2】



【図4】

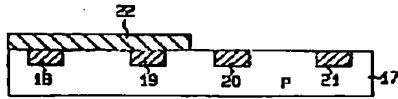




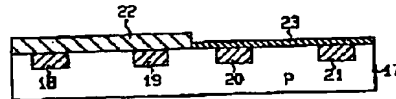
(8)

特開平 7-231103

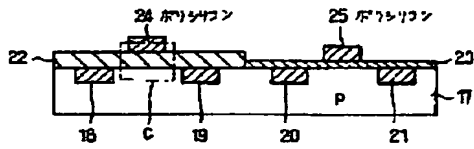
【図 5】



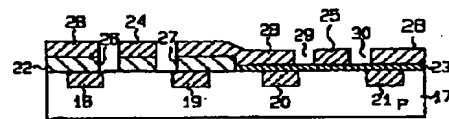
【図 6】



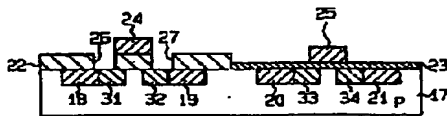
【図 7】



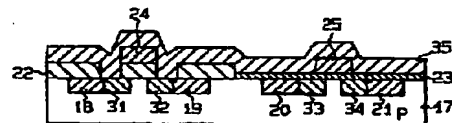
【図 8】



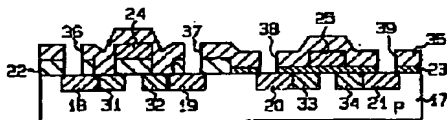
【図 9】



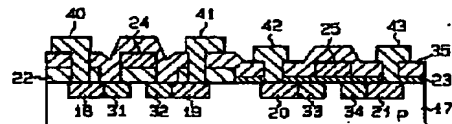
【図 10】



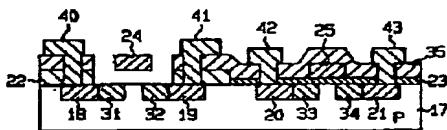
【図 11】



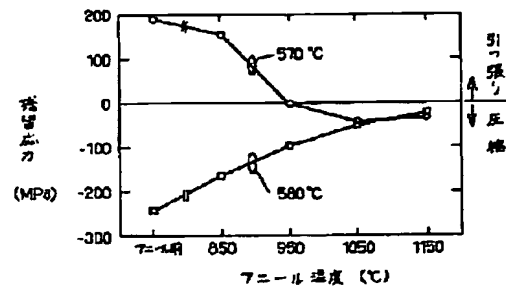
【図 12】



【図 13】



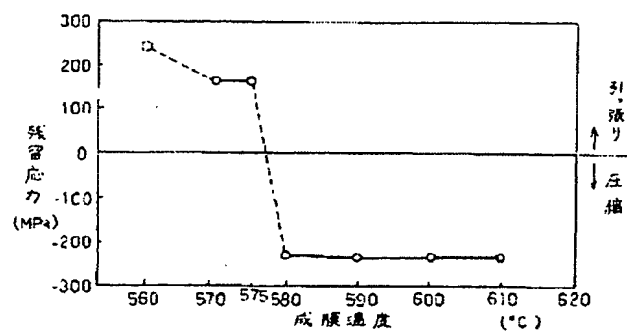
【図 15】



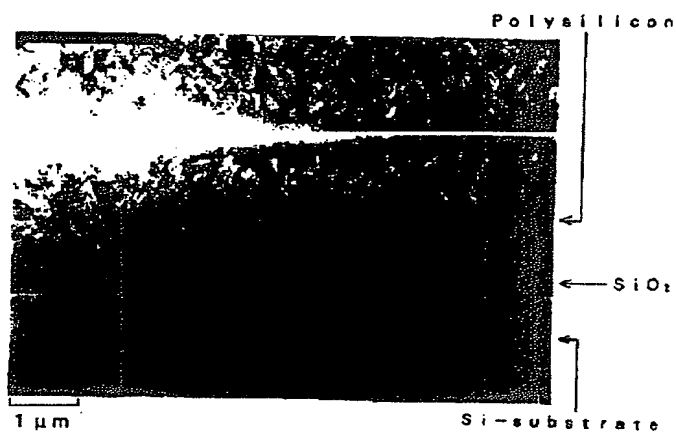
(9)

特開平7-231103

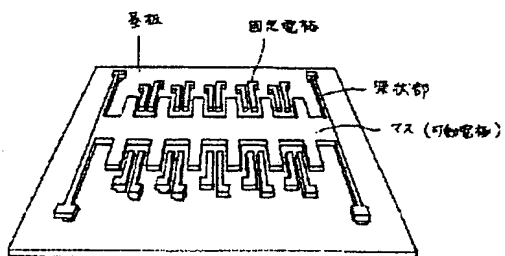
【図14】



【図16】



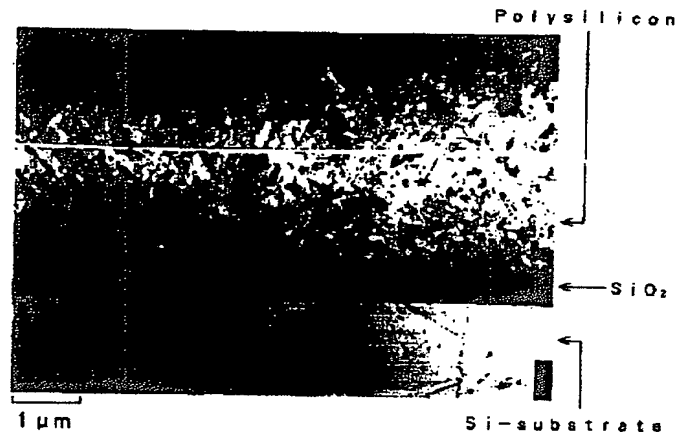
【図20】



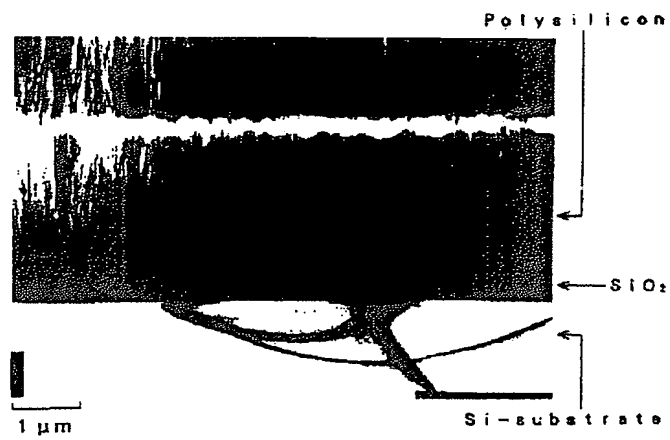
(10)

特開平 7-231103

【図17】



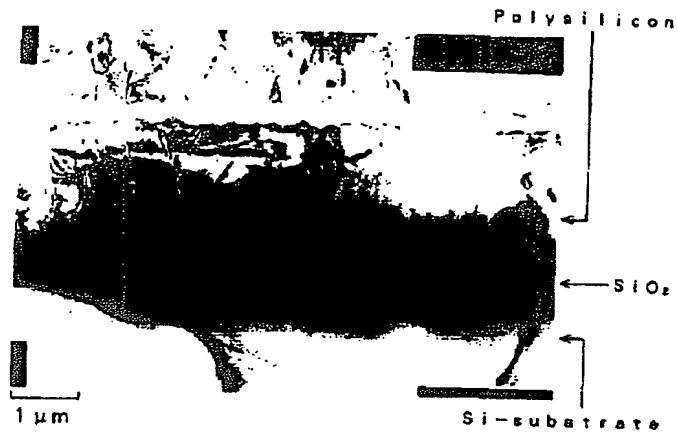
【図18】



(11)

特開平7-231103

【図19】



【手続補正書】

【提出日】平成7年1月12日

【手続補正1】

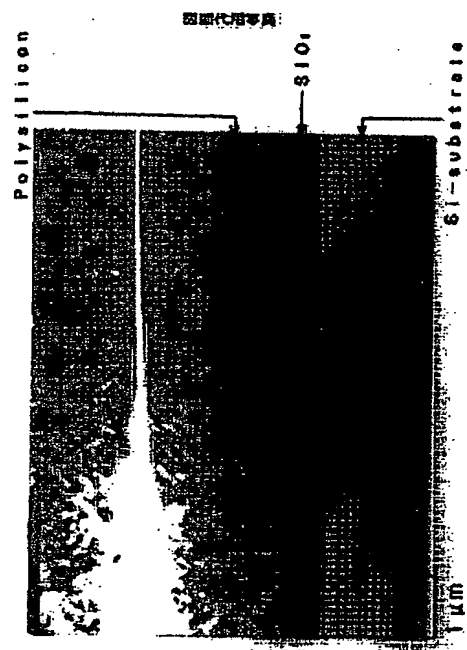
【補正対象書類名】図面

【補正対象項目名】図16

【補正方法】変更

【補正内容】

【図16】



【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図17

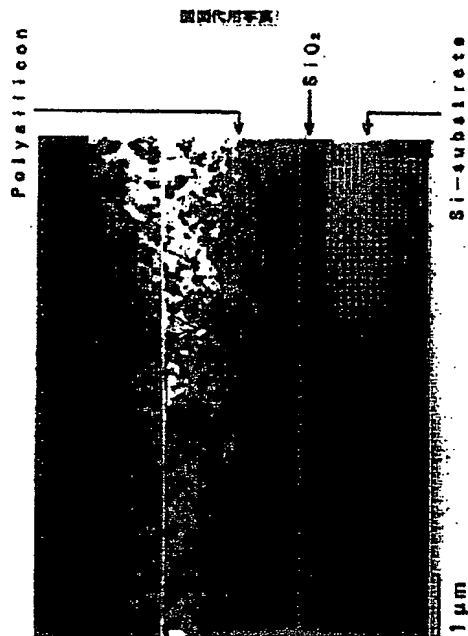
【補正方法】変更

(12)

特開平7-231103

【補正内容】

【図17】



【手続補正3】

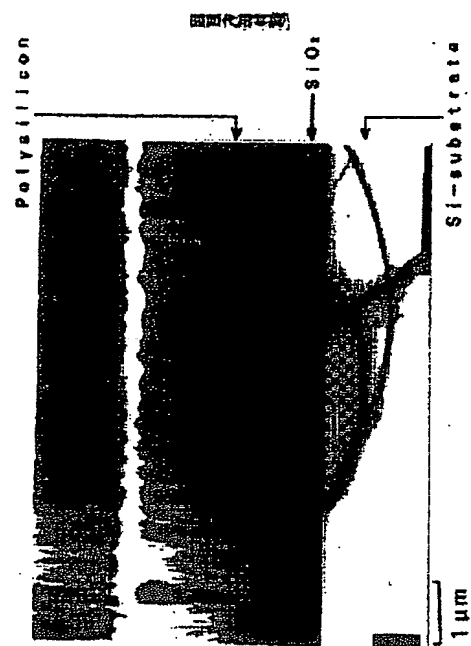
【補正対象書類名】図面

【補正対象項目名】図18

【補正方法】変更

【補正内容】

【図18】



【手続補正4】

【補正対象書類名】図面

【補正対象項目名】図19

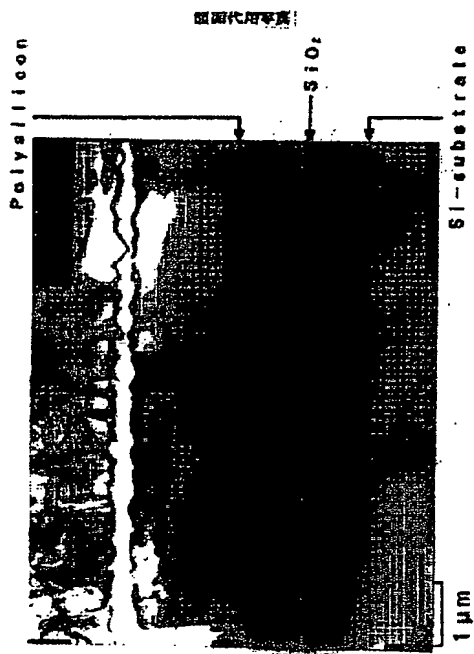
【補正方法】変更

【補正内容】

【図19】

(13)

特開平 7-231103



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☒ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**